

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-237117
 (43)Date of publication of application : 13.09.1996

(51)Int.CI. H03L 7/06
 H04L 7/033

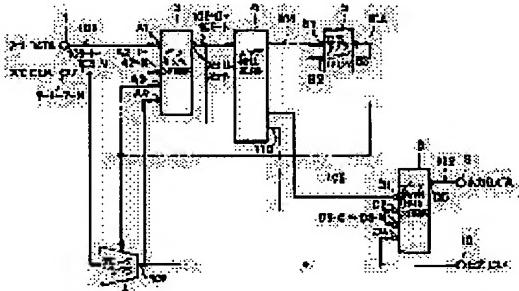
(21)Application number : 07-041132 (71)Applicant : NEC CORP
 (22)Date of filing : 01.03.1995 (72)Inventor : BABA MITSUO

(54) DIGITAL PLL CIRCUIT

(57)Abstract:

PURPOSE: To obtain data subjected to identification retiming without an error by sampling input data by an N-phase clock, identifying data based on the number of edges of data, position and mean value information and applying retiming to the identified data.

CONSTITUTION: A data sampling circuit 3 samples input data 101 by clocks 103-1 to 103-N and applies retiming (RT) to the data by using a clock 105 extracted by a clock selector 7. An edge detection circuit 4 detects the number 109 of trailing edges for each period, position information 107, and the number of rising edges 110 and outputs them. Furthermore, a trailing edge counter 5 outputs a mean value 104 of the information 107 to the selector 7 and the circuit 3 and a data identification RT circuit 8 refers to all of the numbers 109, 110 and data 106. RT object data are judged by the result and the circuit 8 applies retiming to the data by using the clock 105. Thus, output data 112 subjected to identification and retiming without any error are outputted.



Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-237117

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl.
H 03 L 7/06
H 04 L 7/033

識別記号 庁内整理番号

F I
H 03 L 7/06
H 04 L 7/02

技術表示箇所
J
B

審査請求 有 請求項の数 4 O L (全 13 頁)

(21)出願番号

特願平7-41132

(22)出願日

平成7年(1995)3月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 馬場 光男

東京都港区芝五丁目7番1号 日本電気株式会社内

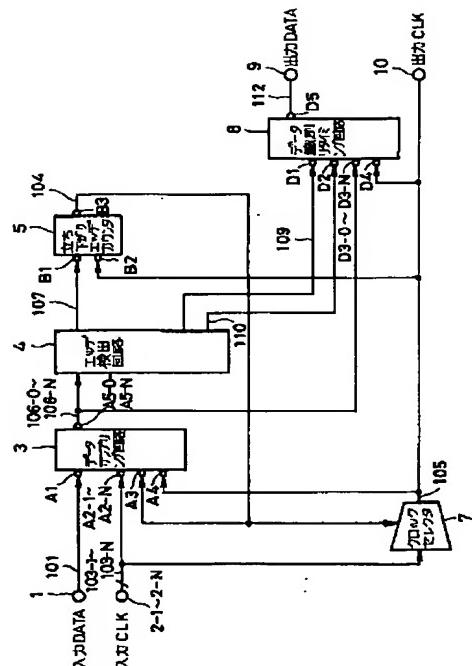
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 ディジタルPLL回路

(57)【要約】

【目的】 周波数偏差、デューティ変動、ジッタ等による位相変動をもつバーストデータの入力に対し、数ビットの短時間でクロックを抽出し、誤り無く識別リタイミングを行ったデータを出力すること。

【構成】 N相クロック信号103-1~103-Nにより時間方向に入力データをサンプリングするデータサンプリング回路3と、サンプリングデータ信号106-0~106-Nからデータのエッジの位置と個数を検出するエッジ検出回路14と立下がりエッジ位置の平均を求める立下がりエッジカウンタ5と、立上がりエッジ位置の平均を求める立上がりエッジカウンタ6と、抽出クロックを選択するクロックセレクタ7と、データのエッジ情報からデータを識別し、サンプリングデータ106-1~106-Nから選択すべきデータを判断し、抽出クロック105でリタイミングを行うデータ識別リタイミング回路18とにより構成されている。



1

【特許請求の範囲】

【請求項1】 パースト状データ信号と周波数が同一で位相が順次 $360^\circ/N$ (N は2以上の整数) づつずれた N 相クロックのうちどの相のクロックを抽出するかを示す抽出信号に応じてこれ等 N 相クロックを択一的に抽出するクロック抽出手段と、

前記パースト状データ信号を前記 N 相クロックの各クロックによりサンプリングして N 個のサンプリングデータを生成するサンプリング手段と、

前記抽出信号により示される抽出クロックを基準の第1相クロックとして以下順次第2相～第 N 相クロックとし、これ等第1相～第 N 相クロックに対応して前記 N 個のサンプリングデータを並べ代えて第1相～第 N 相サンプリングデータとして出力する並べ代え手段と、

これ等並べ代え後の第1相～第 N 相サンプリングデータを抽出された前記基準の第1相クロックによりラッチするラッチ手段と、

前記ラッチ手段の各相のラッチ出力の互いに隣り合う相同士のレベルにより、立下がりエッジが存在する相の位置を検出して立下がりエッジ位置情報を前記クロックの1周期毎に生成し、また立下がりエッジ及び立上がり個数を夫々検出して立下がり個数情報及び立上がり個数情報を前記1周期毎に生成するエッジ検出手段と、

前記立下がりエッジ位置情報の過去から現在までの平均値を前記1周期毎に算出して前記抽出信号として出する平均値算出手段と、

前記並べ代え後の第1相～第 N 相サンプリングデータ、前記立下がり個数情報及び立上がり個数情報を基に前記第1相～第 N 相サンプリングデータを前記1周期毎に択一的に導出するデータ選択手段と、

前記データ選択手段の選択出力を前記基準の第1相クロックによりリタイミングするリタイミング手段と、を含むことを特徴とするデジタルPLL回路。

【請求項2】 前記データ選択手段は、前記第1相～第 N 相サンプリングデータの前記1周期内で最初にエッジが発生するサンプリングデータの相を検出する手段と、前記立下がり個数情報及び立上がり個数情報が共にゼロを示すとき及び前記立下がり個数情報のみが1または立上がり個数情報のみが1を示すとき、前記基準の第1相クロックに対して略 180° 度位相差を有する相クロックに対応するサンプリングデータを選択し、前記立下がり個数情報及び立上がり個数情報が共に1を示すとき、前記1周期内で最初にエッジが検出されたサンプリングデータを選択するセレクタとを有することを特徴とする請求項1記載のデジタルPLL回路。

【請求項3】 前記エッジ検出手段は、前記ラッチ手段の各相のラッチ出力の互いに隣り合う相同士のレベルにより、立上がりエッジが存在する相の位置を検出して立上がりエッジ位置情報を前記クロックの1周期毎に生成するよう構成されており、

2

前記平均値算出手段は、前記立上がりエッジ位置情報の過去から現在までの平均値を前記1周期毎に算出するよう構成されており、

前記選択手段は、前記立上がり個数情報のみが1を示すとき、前記立上がりエッジ位置情報の平均値に対応する前記相クロックに対して略 180° 度位相差を有する相クロックに対応するサンプリングデータを選択するよう構成されていることを特徴とする請求項2記載のデジタルPLL回路。

【請求項4】 前記立下がり位置情報に代えて立上がりエッジを位置を示す立上がり位置情報とし、前記立上がり位置情報に代えて立下がりエッジを位置を示す立下がり位置情報とすることを特徴とする請求項1～3いずれか記載のデジタルPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタルPLL回路に関し、特にジッタを多く含むパースト状データ信号を受信する光通信システム等の受信装置に用いて好適なデジタルPLL回路に関するものである。

【0002】

【従来の技術】 一般のPLL(フェイズロックループ)回路は図20に示す構成となっている。図20に示す如く、入力端子1900には入力データが供給され、位相比較器1902の一入力となっている。この位相比較器の他入力には、VCO(電圧制御発振器)1904からの発振出力が分周器1905により分周された後に印加されており、2つの入力の位相比較が行われる。

【0003】 この位相比較結果はローパスフィルタ1903を介して高周波成分が除去されてVCO1904へ入力され、このVCOの発振制御が行われる。こうすることにより、VCOの出力には入力端子1900へ供給された入力データに同期した出力が得られる。従って、入力データからこの入力データに位相同期したクロックが抽出され出力端子1901へ導出されるようになっている。

【0004】

【発明が解決しようとする課題】 この様な従来の一般的なPLL回路においては、位相誤差信号(位相比較結果)をローパスフィルタにて高周波成分を除去して平滑化した信号によって、VCOの発振周波数を制御して、入力データに対して位相引き込みを行っているために、周波数偏差や、デューティ変動、ジッタ等による大きな位相変動を有するパースト受信データの入力に対しては、位相引き込み時間が長くなり、抽出クロックによる受信データのリタイミングの際に、識別誤りを生ずるという問題がある。

【0005】 本発明の目的は、周波数変動、デューティ変動、ジッタ等を有するパースト受信データに対して位相同期した抽出クロックを速やかに得ると共に、リタイ

3

ミング誤りのない受信データを得るようにしたデジタルPLL回路を提供することである。

【0006】

【課題を解決するための手段】本発明によるデジタルPLL回路は、バースト状データ信号と周波数が同一で位相が順次360度/N（Nは2以上の整数）づつされたN相クロックのうちどの相のクロックを抽出するかを示す抽出信号に応じてこれ等N相クロックを択一的に抽出するクロック抽出手段と、前記バースト状データ信号を前記N相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング手段と、前記抽出信号により示される抽出クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これ等第1相～第N相クロックに対応して前記N個のサンプリングデータを並べ代えて第1相～第N相サンプリングデータとして出力する並べ代え手段と、これ等並べ代え後の第1相～第N相サンプリングデータを抽出された前記基準の第1相クロックによりラッチするラッチ手段と、前記ラッチ手段の各相のラッチ出力の互いに隣り合う相同士のレベルにより、立下がりエッジが存在する相の位置を検出して立下がりエッジ位置情報を前記クロックの1周期毎に生成し、また立下がりエッジ及び立上がり個数を夫々検出して立下がり個数情報及び立上がり個数情報を前記1周期毎に生成するエッジ検出手段と、前記立下がりエッジ位置情報の過去から現在までの平均値を前記1周期毎に算出して前記抽出信号として出力する平均値算出手段と、前記並べ代え後の第1相～第N相サンプリングデータ、前記立下がり個数情報及び立上がり個数情報を基に前記第1相～第N相サンプリングデータを前記1周期毎に択一的に導出するデータ選択手段と、前記データ選択手段の選択出力を前記基準の第1相クロックによりリタイミングするリタイミング手段と、を含むことを特徴としている。

【0007】更に、前記データ選択手段は、前記第1相～第N相サンプリングデータの前記1周期内で最初にエッジが発生するサンプリングデータの相を検出する手段と、前記立下がり個数情報及び立上がり個数情報が共にゼロを示すとき及び前記立下がり個数情報のみが1または立上がり個数情報のみが1を示すとき、前記基準の第1相クロックに対して略180度位相差を有する相クロックに対応するサンプリングデータを選択し、前記立下がり個数情報及び立上がり個数情報が共に1を示すとき、前記1周期内で最初にエッジが検出されたサンプリングデータを選択するセレクタとを有することを特徴としている。

【0008】

【作用】バースト状のデータ信号と周波数が同一で位相が順次360度/NづつされたN相クロックを生成しておき、これ等N相クロックの各々によりデータ信号をサンプリングし、これ等各サンプリングデータのうちエッ

4

ジが平均的に検出されたサンプリングデータに対応する相のクロックを抽出クロックとして基準の第1相クロックとする。この基準の第1相クロックを基準として以下順次第2～第N相クロックとしてこれ等第1～第N相クロックに対応してサンプリングデータを並べ代え第1～第N相サンプリングデータとし、基準の第1相クロックでこれ等第1～第N相サンプリングデータをラッチする。

【0009】ラッチ後の第1～第N相データを基に1周期毎のバースト状受信データのパターンを識別し、ラッチされた第1～第N相サンプリングデータのうちから識別すべきデータを選択して基準の第1相クロックによりこの選択データをリタイミングして導出するようにする。こうすることで、ジッタ等が大きく含まれていても、バースト状受信データの識別が正確にかつ速やかに行われ、かつ抽出クロックも導出されることになる。

【0010】

【実施例】以下、図面を用いて本発明の実施例につき説明する。

【0011】図1は本発明の一実施例のブロック図であり、バースト状の受信データ101は入力端子1を介してデータサンプリング回路3へ入力される。このデータサンプリング回路3へは、更にN相クロック入力端子2-1～2-N（Nは2以上の整数）を介してN相クロック103-1～103-Nが印加されており、これ等N相クロック信号は、図6にその波形例を示す如く、入力データ101と同一周波数でかつ互いに位相が360度/Nづつ順次ずれたものである。

【0012】このデータサンプリング回路3は、受信入力データ101を各相クロック103-1～103-Nによりサンプリングし、かつクロックセレクタによる抽出クロック105によりこれ等N個の各サンプリングデータをリタイミングすると共に、この抽出クロックを基準の第1相クロックとみなして各相クロックを以下順次第2～第N相クロックとみなし、これ等第1～第N相クロックに対応してN個のサンプリングデータを並べ代え（ローテーション）を行って出力（106-1～106-N）するものである。尚、出力106-0は参照用サンプリングデータである。

【0013】エッジ検出回路4はこれ等ローテーション後のN個のサンプリングデータ（基準の第1相クロックにより全てリタイミングされている）を基にエッジ検出を行うものであり、1周期毎に立下がりエッジ個数109、立上がりエッジ個数110、更には立下がりエッジの位置（相番号）を示すエッジ位置情報107を生成する。

【0014】立下がりエッジカウンタ5はエッジ位置情報107を受けてこのエッジ位置情報107が示す立下がり相番号の過去から現在までの平均値104を算出するものである。この立下がりエッジ位置情報の平均値1

04が前述した基準となる第1相クロックの相番号となり、クロックセレクタ7のクロック選択信号となると共に、データサンプリング回路3におけるローテーション時の基準を示す相番号として用いられる。

【0015】データ識別リタイミング回路8は、クロックセレクタ7による抽出クロック（基準となる第1相クロック）105によってデータサンプリング回路3からのN個のサンプリングデータ106-1～106-Nの一つをリタイミングして出力（112）するものである。このリタイミング対象とすべきN個のサンプリングデータの一つを定めるために、エッジ検出回路4からの立下がり個数109、立上がり個数110及びN個のサンプリングデータ106-1～106-Nを全て参照し、入力受信データのパターン認識を行い、この認識結果に従って、リタイミング対象とすべき1つのサンプリングデータが決定されるようになっている。

【0016】図2は図1に示したデータサンプリング回路3の回路構成の概要を表したものである。図2において、端子A1より入力されたデータ信号は、フリップフロップ回路301-1～301-Nそれぞれのデータ端子に入力され、端子A2-1～A2-Nより入力されたN相クロック信号は、それぞれ対応するフリップフロップ回路301-1～301-N及びフリップフロップ回路302-1～302-Nのクロック端子に入力される。

【0017】フリップフロップ回路301-1～301-Nの出力は、フリップフロップ回路302-1～302-Nのそれぞれ対応するデータ端子と、N個の入力の中から選択制御信号が示すもの1個を選択し出力を行う選択回路303-1～303-Nの入力端子に一相ずつシフトした状態でそれぞれ入力される。

【0018】フリップフロップ回路302-1～302-Nの出力は、N個の入力の中から端子A3より入力された選択制御信号が示すもの1個を選択し出力を行う選択回路303-0の入力端子に、N、1、2、3、…、N-1の順番で入力される。

【0019】選択回路303-0～303-Nの出力は、端子A4より入力された抽出クロック信号をクロック信号とするフリップフロップ回路304-0～304-Nのデータ端子に入力される。フリップフロップ回路304-0～304-Nから端子A5-0～A5-Nを経てサンプリングデータ信号が出力される。

【0020】図3は図1に示したエッジ検出回路4の回路構成の概要を表したものである。図3において、第一のNAND論理回路601-1～601-Nには、サンプリングデータ信号106-0～106-(N-1)と、サンプリングデータ信号106-1～106-Nの論理状態を反転したものが入力される。

【0021】第二のNAND論理回路602-1～602-Nには、サンプリングデータ信号106-0～10

6-(N-1)の論理状態を反転したものと、サンプリングデータ信号106-1～106-Nが入力される。

【0022】第一のNAND論理回路601-1～601-Nの出力は、符号化器603と加算器605に入力される。第二のNAND論理回路602-1～602-Nの出力は、加算器606に入力される。

【0023】符号化器603では、立下がりエッジが存在する位置（“0”がたつ位置であり、その相番号である）を符号化し、立下がりエッジ位置情報信号107を出力する。

【0024】加算器605では、立下がりエッジの個数（“0”的個数）をカウントし、立下がりエッジ個数情報信号109を出力する。加算器606では、立ち上がりエッジの個数（“0”的個数）をカウントし、立ち上がりエッジ個数情報信号110を出力する。

【0025】図4は図1に示した立下がりエッジカウンタ5の回路構成の概要を表したものである。図4において、端子B1より入力されたエッジ位置情報信号は、m分の1の余算演算を行うm分の1重み付け部701に入力される（mは1以上の整数）。

【0026】記憶部702は、端子B2より入力された抽出クロック信号をクロック信号として入力し、加算器703からの加算演算結果の状態を維持し、四捨五入回路704へ出力するものである。加算器703では、m分の1重み付け部701からの余算演算結果と、記憶部702からの出力との加算演算を行い、補正した平均値を記憶部702に出力を行う。

【0027】四捨五入回路704は、記憶部702からの出力を整数に四捨五入してエッジ平均値信号として端子B3に出力を行うものである。

【0028】図5は図1に示したデータ識別リタイミング回路8の回路構成の概要を表したものである。図5において、端子D3-0～D3-Nより入力されたサンプリングデータ信号は、符号化器802に入力され、端子D3-1～D3-Nより入力されたサンプリングデータ信号は、N個の入力の中から選択制御信号が示すもの1個を選択し出力を行なう選択回路801に入力される。

【0029】符号化器802では、サンプリングデータ信号よりデータの最初のエッジ位置を符号化し、出力をを行うもので、図3の符号化器603と同一のものである。

【0030】3個の入力の中から選択制御信号が示すもの1個を選択し出力を行なう選択回路804には、符号化器802からのデータの最初のエッジ位置を示す符号化出力と、s（1以上N以下の整数）と、t（1以上N以下の整数）とが入力される。

【0031】選択回路804では、端子D1より入力された立下がりエッジ個数情報信号と、端子D2より入力された立上がりエッジ個数情報信号が選択制御端子に入力され、立下がりエッジのみが1個の時にはsが選択出

7

力され、立上がりエッジのみが1個の時にはtが選択出力され、立下がりエッジと立上がりエッジが1個ずつ（データのエッジが2個）の時には符号化器802からの符号化出力が選択出力される。

【0032】選択回路801では、サンプリングデータの中から、選択回路804の選択出力信号が示すサンプリングデータを選択し出力する。選択回路801からの選択出力信号は、フリップフロップ回路805において、抽出クロック信号をクロック信号としてリタイミングされ、リタイミングデータ信号として端子D5に出力される。

【0033】クロックセレクタ7は、立下がり平均値信号104を選択制御信号として、N相クロック信号103-1～103-Nの中から抽出クロック信号105を選択出力するものである。

【0034】次に、タイミングチャートを用いて、N相クロック信号を8相クロック信号（N=8）とし、m分の1重み付け部701を4分の1重み付け部（m=4）とし、図5のsを4に、tを4に夫々設定した場合の動作について説明する。

【0035】図6はデータ入力信号101と、8相クロック信号103-1～103-8を入力した時の抽出クロック信号105並びにサンプリングデータ信号106-0～106-8の振る舞いについて示したタイミングチャートである。

【0036】立下がりエッジ平均値信号104が現在“3”的場合、すなわち入力受信データのエッジ（レベル遷移）が平均して第3相クロックに同期して生じている場合を考える。データ信号101は、フリップフロップ回路301と302により、時間方向に8相クロック信号103-1～103-8で2周期分サンプリング及び保持される。その後、先の立下がりエッジ平均値信号104の示す値（“3”）により3相目クロック103-3が基準の第1相クロックとされ、この基準の第1相クロックを基に選択回路303-0～303-8で各相対応のサンプリングデータのローテーションが行われる。よって、選択出力信号は基準となる第1相クロック信号103-3でサンプリングされたものを基準（1の位置）にして順に2、3、4、5、6、7、8、1、2となる。

【0037】それらを抽出クロック105（基準の第1相クロック103-3）でフリップフロップ回路304によりラッチしたものが、サンプリングデータ106-0～106-8となる。その結果、抽出クロックであるクロック信号103-3でサンプリングされたものが、基準であるサンプリングデータ106-1となり出力されることになる。ここで抽出クロック105を基準に、データを時間方向にサンプリングしたことになる。

【0038】図7はサンプリングデータ信号106-0～106-8と抽出クロック105が入力した際の、エ

50 8

ッジ検出回路4の振る舞いについて示したタイミングチャートである。

【0039】第一のNAND論理回路601では、立下がりエッジの存在する位置にだけ“0”が出力され、それ以外は“1”が出力される。第二のNAND論理回路602では、立上がりエッジの存在する位置にだけ“0”が出力され、それ以外は“1”が出力される。

【0040】符号化器603は、第一のNAND論理回路601の出力“0”的位置（相番号）を検出し、符号化を行うものである。図8にこの符号化器603の符号化の論理を示す。図8で“X”は、“0”でも“1”でもかまわないDon't careを表している。符号化出力107は3ビット表示とされ、相番号と対応している。

【0041】加算器605及び加算器606は、第一のNAND論理回路601及び第二のNAND論理回路602の出力の“0”的個数を検出し、加算演算を行うものである。

【0042】図9は立下がりエッジ位置情報信号107と抽出クロック105を入力した際の、立下がりエッジカウンタ5の振る舞いについて示したタイミングチャートである。入力された立下がりエッジ位置情報信号107は、1/4重み付け部701にて4分の1の重み付けがされ、記憶部702が維持していた直前までの（1周期前までの）平均値505に足し込まれる。この結果出現位置に重み付けがされた立下がりエッジ位置の平均値が求められることになる。立下がりエッジ平均値信号104には、この値を四捨五入したものが出力される。

【0043】エッジ検出位置情報を1/4重み付けして平均値を算出するのは、急激な平均値の変化に対して徐々にPLL回路系が対応するようにするためである。

【0044】図5に示したデータ識別リタイミング回路8の動作を述べる。図5において、抽出クロック105を基準としたサンプリングデータにおいて、立下がりエッジのみがエッジ個数情報信号から1個存在すると判断された場合（D1, D2）=（1, 0）には、図10（C）の下側の例（Tはデータの1周期）の場合であり、s（“4”）が選択され、立下がりエッジの平均値から180度離れたサンプリングデータが出力されることになる。すなわち、基準第1相クロックから（360度/8）×4=180度ずれた第4相クロックに相当するサンプリングデータが出力される。

【0045】サンプリングデータにおいて、立上がりエッジのみがエッジ個数情報信号から1個存在すると判断された場合には、（D1, D2）=（0, 1）、図10（C）の上側の例の場合であり、t（“4”）が選択され、立下がりエッジの平均値から180度離れたサンプリングデータが出力されることになる。

【0046】サンプリングデータにおいて、エッジ個数情報信号から立下がりエッジが1個と立上がりエッジが

1個存在する（エッジが2個）と判断された場合には図10（B）の例であり、符号化器802により最初のデータのエッジ位置が検出され、この最初のエッジ位置が検出された相番号に相当するサンプリングデータが出力されることになる。

【0047】サンプリングデータが、エッジ個数情報信号から、エッジが無いと判断された場合（図10（A）の場合）或いは、エッジが3個以上と判断された場合には、 s （“4”）が選択され（ t でもよい）、サンプリングデータの中の真ん中相（略180度）に相当するものが出力されることになる。

【0048】 s 、 t を共に4に設定してエッジから180度離れた1Tの中央に相当する相のサンプリングデータを選ぶ様にしてジッタに強いリタイミング出力を得る様にしているが、立下がりと立上がりとのジッタパターンが同一であれば、 $s = t = 4$ としても良いが、通信システムの系や回路構成等により両ジッタパターンは同一とはならない場合があり、よって s や t を3や5に設定しても良い。

【0049】以上の動作により、常にデータ識別誤りのないリタイミングデータ112を得ることができ、出力10には抽出クロック105を得ることが可能となるものである。

【0050】図11は本発明の第二の実施例のブロック図であり、図1と同等部分は同一符号にて示している。本例では、図1のエッジ検出回路4において立上がりエッジ検出位置を示す立上がりエッジ位置情報108生成用の符号化器604（図12）を付加したものであり、また、この立上がりエッジ位置情報108の平均値を算出する立上がりエッジカウンタ6を設けている。

【0051】図13は図11に示した立上がりエッジカウンタ6の回路構成の概要を表したものである。端子C1より入力されたエッジ位置情報信号は、減算器1001の被減算信号端子に入力される。記憶部1003は、端子C2より入力された抽出クロック信号をクロック信号として入力し、加算器1004からの加算演算結果の状態を維持し、四捨五入回路1005へ出力するものである。

【0052】減算器1001では、端子C1より入力されたエッジ位置情報信号から記憶部1003からの出力を引いた減算結果をm分の1重み付け部1002に出力する。m分の1重み付け部1002では、m分の1の余算演算を行い、余算演算結果をAND論理回路1006に出力する。AND論理回路1006では、端子C3より入力されたエッジ個数情報信号とm分の1重み付け部1002の余算演算結果が入力され、AND演算結果を加算器1004に出力する。

【0053】加算器1004では、m分の1重み付け部1002からの余算演算結果と、記憶部1003からの出力との加算演算を行い、補正した平均値を記憶部10

03に出力を行う。四捨五入回路1005は、記憶部1003からの出力を整数に四捨五入してエッジ平均値信号111として端子C4を経て出力を行うものである。

【0054】図14は図11に示したデータ識別リタイミング回路8の回路構成の概要を表したものであり、図5と同等部分は同一符号により示す。この例では、加算器806にて t の値と立上がりエッジ位置情報の平均値111（D6）とを加算し、（D1, D2）=（0, 1）の場合（図10（C）の上側の場合）にこの加算器806の加算出力を用いるものである。

【0055】図15はサンプリングデータ106-0～106-8と抽出クロック105とが入力された場合の図11におけるエッジ検出回路4の振る舞いについて示したタイミングチャートである。

【0056】第一のNAND論理回路601では、立下がりエッジの存在する位置にだけ“0”が出力され、それ以外は“1”が出力される。第二のNAND論理回路602では、立上がりエッジの存在する位置にだけ“0”が出力され、それ以外は“1”が出力される。

【0057】符号化器603及び符号化器604は、第一のNAND論理回路601及び第二のNAND論理回路602の出力の“0”的位置を検出し、符号化を行うものである。図8に符号化の論理を示す。

【0058】加算器605及び加算器606は、第一のNAND論理回路601及び第二のNAND論理回路602の出力の“0”的個数を検出し、加算演算を行うものである。

【0059】図16は、立上がりエッジ位置情報信号108と立上がりエッジ個数情報信号110と抽出クロック105を入力した際の、立上がりエッジカウンタ6の振る舞いについて示したタイミングチャートである。

【0060】入力された立上がりエッジ位置情報信号108は、記憶部1003の維持している値と差分がとられ、4分の1の重み付けがされたものが、立上がりエチヂ個数情報信号110によるAND論理処理により、立上がりエッジが存在した時の加算器1004において、記憶部1003の維持している値との足し込みが行われる。この結果出現位置に重み付けがされた立上がりエッジ位置の平均値が求められることになる。立上がりエッジ平均値信号111には、この値を四捨五入したものが出力される。

【0061】図14に示したデータ識別リタイミング回路8の動作を述べる。抽出クロック105を基準としたサンプリングデータが、立下がりエッジのみがエッジ個数情報信号から、1個存在すると判断された場合には、 s （“4”）が選択され、立下がりエッジの平均値から180度離れたサンプリングデータが出力されることになる。

【0062】サンプリングデータが、立上がりエッジのみがエッジ個数情報信号から、1個存在すると判断され

11

た場合には、立上がりエッジ平均値信号111にt（“4”）が加算された値が選択され、立上がりエッジの平均値から180度離れたサンプリングデータが出力されることになる。

【0063】サンプリングデータが、エッジ個数情報信号から、立下がりエッジが1個と立上がりエッジが1個存在する（エッジが2個）と判断された場合には、符号化器802により最初のデータのエッジ位置が検出され、それに対応するサンプリングデータが出力されることになる。

【0064】サンプリングデータが、エッジ個数情報信号から、エッジが無いと判断された場合或いは、エッジが3個以上と判断された場合には、s（“4”）が選択され、サンプリングデータの中の真ん中のものが出力されることになる。その結果データ識別誤りの無いリタイミングデータ112が出力されることになる。

【0065】図17は本発明の第三の実施例の構成を示すブロック図である。図において、本発明の第三の実施例によるデジタルPLL回路は、第一の実施例において、データの立上がりエッジ位置の平均値の代わりに、データの立上がりエッジ位置の平均値により抽出クロックの位相を選択したものである。

【0066】図18は本発明の第四の実施例の構成を示すブロック図である。図において、本発明の第四の実施例によりデジタルPLL回路は、図11に示す第二の実施例において、データの立上がりエッジ位置の平均値の代わりに、データの立上がりエッジ位置の平均値により抽出クロックの位相を選択したものである。

【0067】

【発明の効果】以上説明したように本発明によるデジタルPLL回路は、データの立上がりエッジ位置と立下がりエッジ位置の出現位置の平均を独立に求め、また、多相化したクロック信号により、データを時間方向にサンプリングし、データエッジの個数によりデータ識別後にリタイミングを行う構成としたため、周波数偏差、デューティ変動、ジッタ等による位相変動をもつバーストデータの入力に対し、データ到来後数ビットの短時間でデータに追従した抽出クロックを出し、誤り無く識別リタイミングを行ったデータを出力することが可能になるという効果を有する。

【図面の簡単な説明】

12

【図1】本発明の第一の実施例を示すブロック図である。

【図2】データサンプリング回路3の一例を示す図である。

【図3】エッジ検出回路4の一例を示す図である。

【図4】立下がりエッジカウンタ5の一例を示す図である。

【図5】データ識別リタイミング回路8の一例を示す図である。

10 【図6】データサンプリング回路3の動作を示すタイミングチャートである。

【図7】エッジ検出回路4の動作を示すタイミングチャートである。

【図8】符号化器603及び604の符号化の論理を示す図である。

【図9】立下がりエッジカウンタ5の動作を示すタイミングチャートである。

【図10】データ識別リタイミング回路8の動作例を示すタイミングチャートである。

【図11】本発明の第二の実施例のブロック図である。

【図12】図11のエッジ検出回路4の構成を示す図である。

【図13】図11の立上がりエッジカウンタ6の構成を示す図である。

【図14】図11のデータ識別リタイミング回路8の動作例を示すタイミングチャートである。

【図15】図11のエッジ検出回路4の動作を示すタイミングチャートである。

【図16】図11の立上がりエッジカウンタ6の動作を示すタイミングチャートである。

【図17】本発明の第三の実施例のブロック図である。

【図18】本発明の第四の実施例のブロック図である。

【図19】従来のPLL回路のブロック図である。

【符号の説明】

3 データサンプリング回路

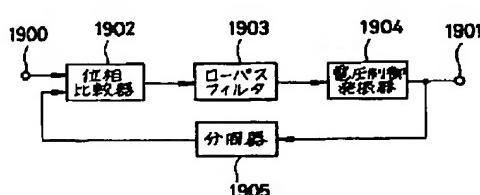
4 エッジ検出回路

5 立下がりエッジカウンタ

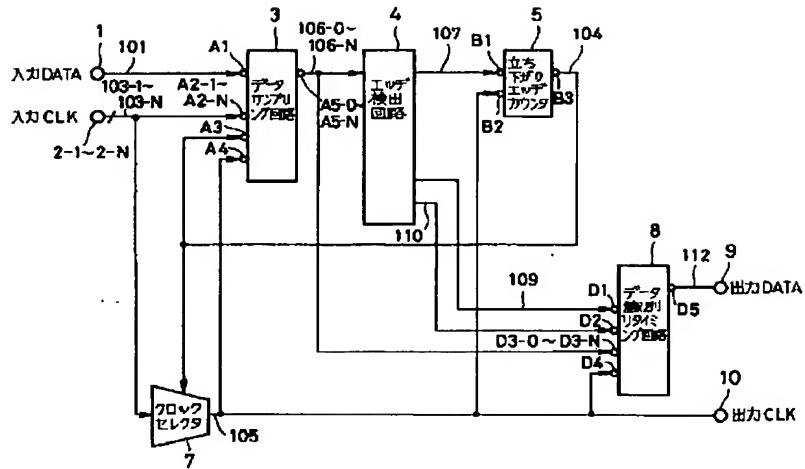
7 クロックセレクタ

40 8 データ識別リタイミング回路

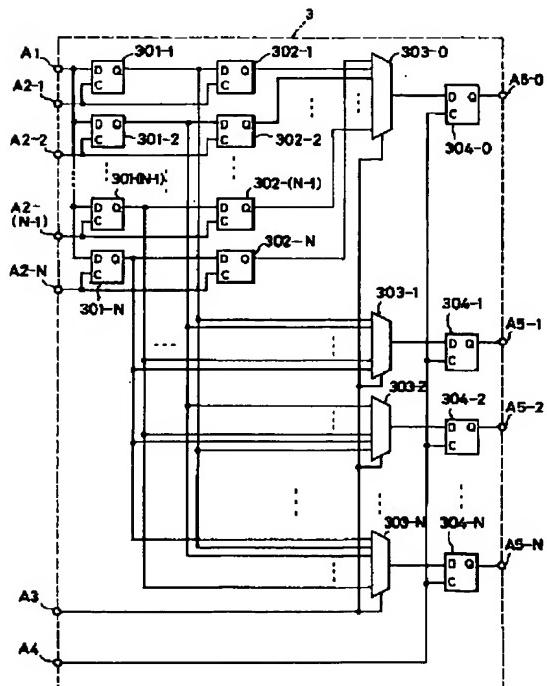
【図19】



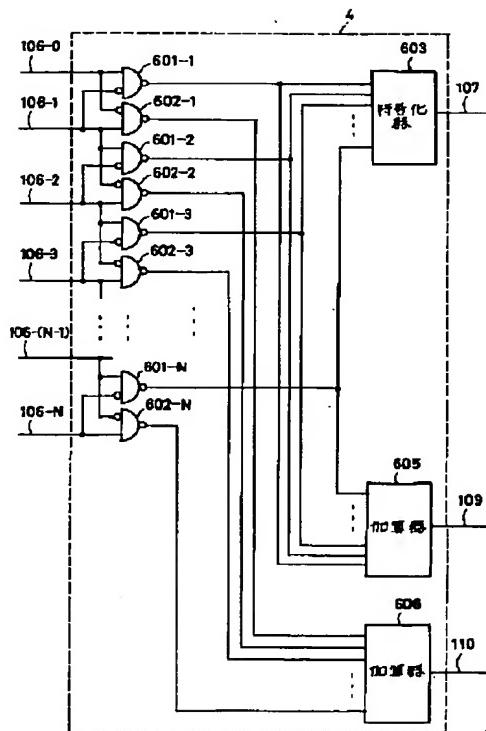
【図1】



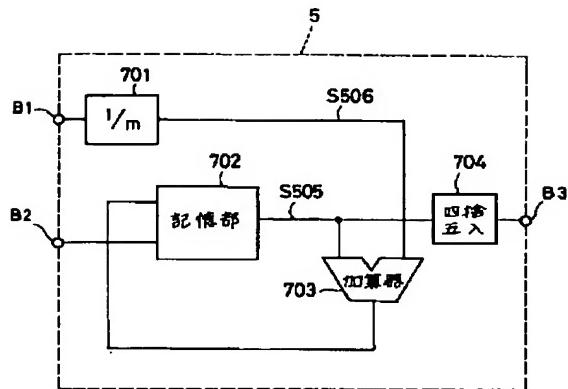
【図2】



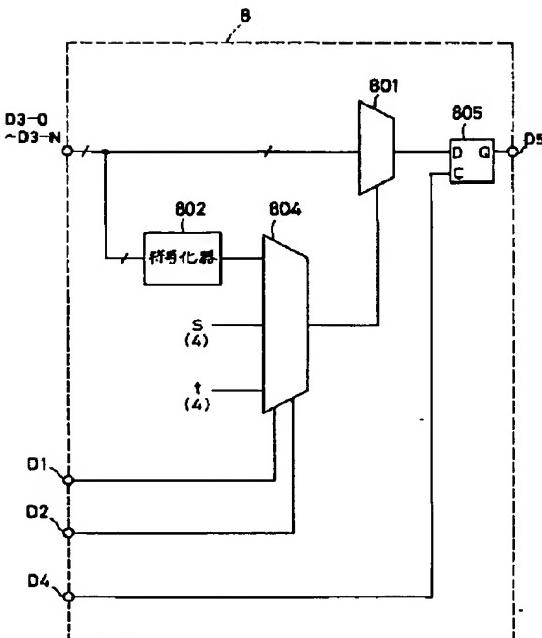
【図3】



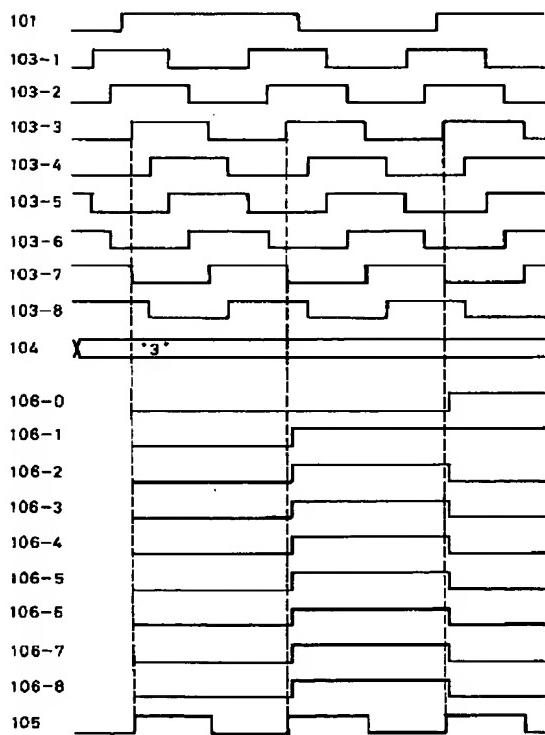
【図4】



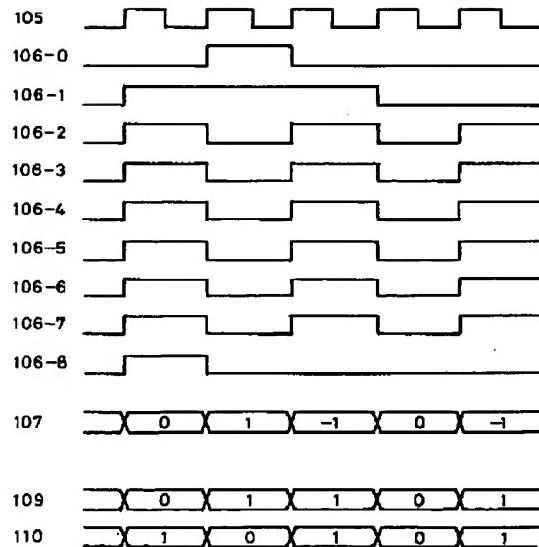
【図5】



【図6】



【図7】

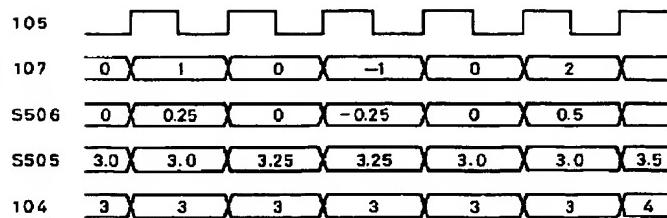


【図8】

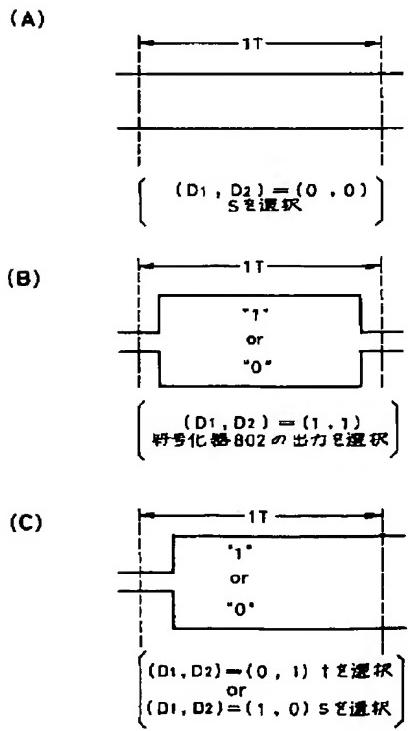
入力信号								出力信号 107	相番号
1	2	3	4	5	6	7	8		
0	X	X	X	X	X	X	X	0(000)	1
1	0	X	X	X	X	X	X	1(001)	2
1	1	0	X	X	X	X	X	2(010)	3
1	1	1	0	X	X	X	X	3(011)	4
1	1	1	1	0	X	X	X	-4(100)	5
1	1	1	1	1	0	X	X	-3(101)	6
1	1	1	1	1	1	0	X	-2(110)	7
1	1	1	1	1	1	1	0	-1(111)	8
1	1	1	1	1	1	1	1	0(000)	1

(X : Don't care)

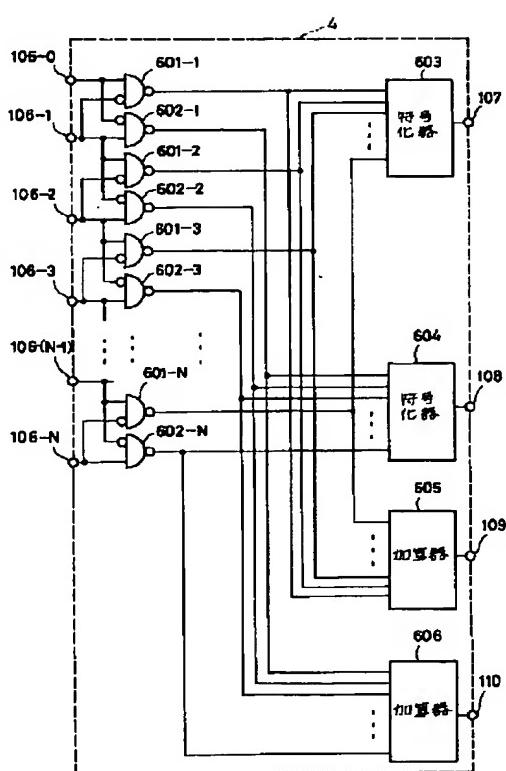
【図9】



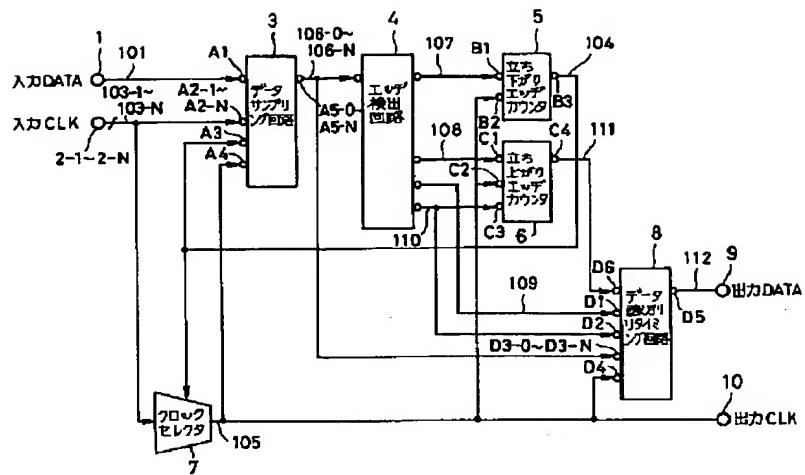
【図10】



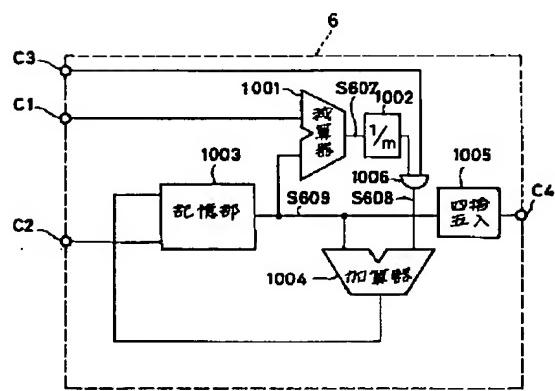
【図12】



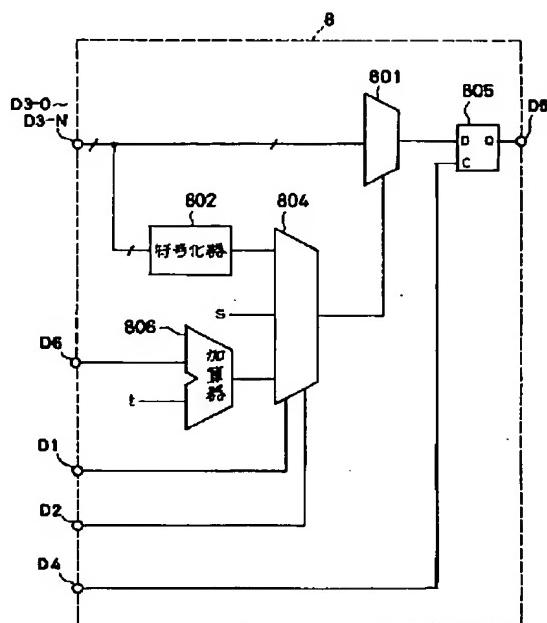
【図11】



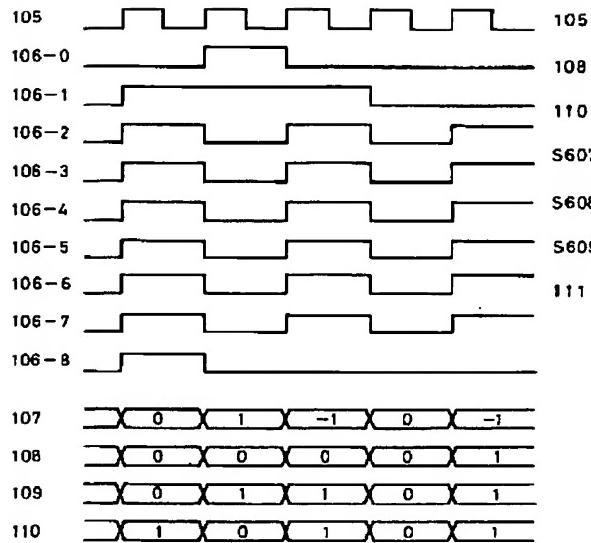
【図13】



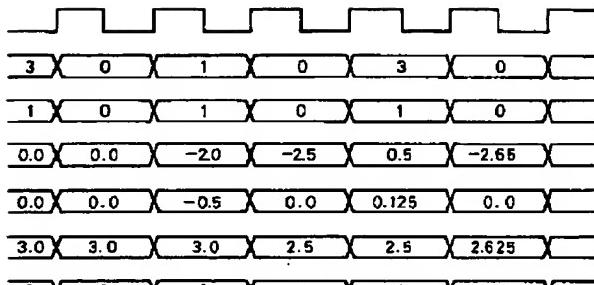
【図14】



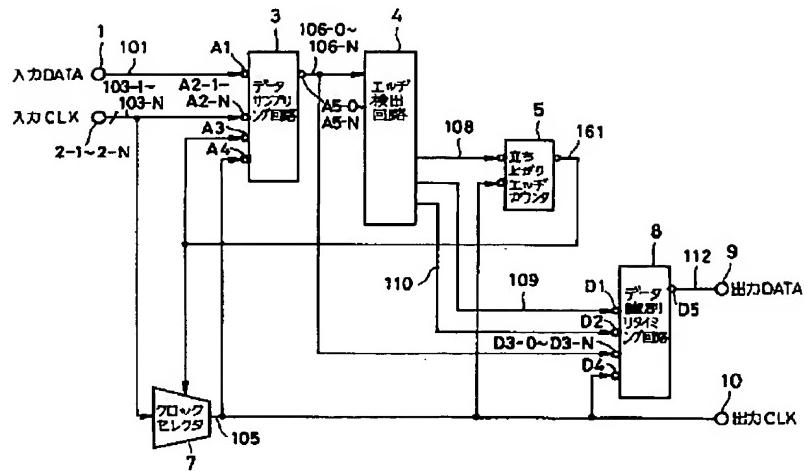
【図15】



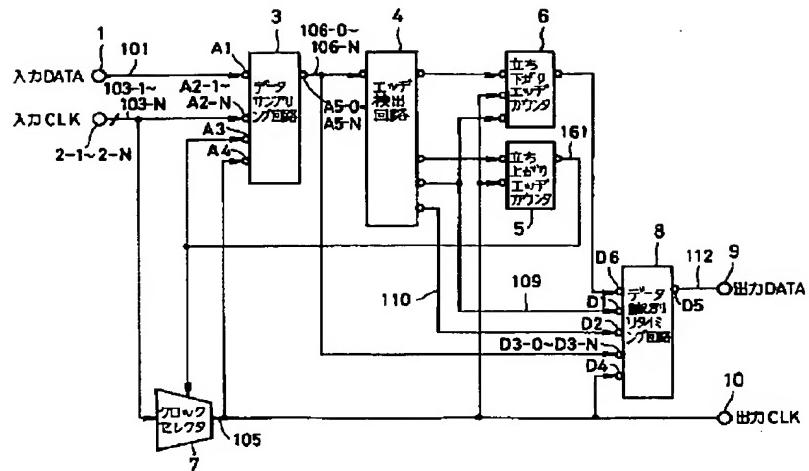
【図16】



【図17】



【図18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.